

Attorney Docket No. 5649-873

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re: Koh et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **METHODS OF FORMING INTEGRATED CIRCUITS USING MASKS TO PROVIDE ION IMPLANTATION SHIELDING TO PORTIONS OF A SUBSTRATE ADJACENT TO AN ISOLATION REGION THEREIN AND INTEGRATED CIRCUITS FORMED USING SAME**

June 26, 2001

Box PATENT APPLICATION
Commissioner for Patents
Washington, DC 20231

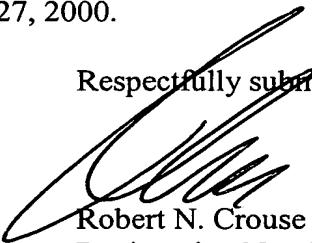
SUBMITTAL OF PRIORITY DOCUMENTS

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following Korean priority application:

2000-35707, filed June 27, 2000.

Respectfully submitted,


Robert N. Crouse
Registration No. 44,635

Correspondence Address:



20792

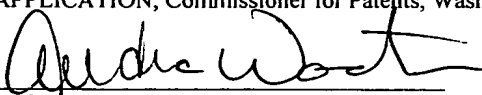
PATENT TRADEMARK OFFICE

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EL733097350US

Date of Deposit: June 26, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: BOX PATENT APPLICATION, Commissioner for Patents, Washington, DC 20231.


Audra Wooten;
June 26, 2001

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 35707 호
Application Number

출원년월일 : 2000년 06월 27일
Date of Application

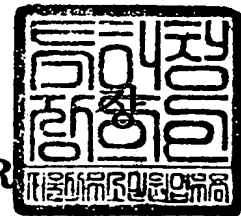
출원인 : 삼성전자 주식회사
Applicant(s)



2000 10 17
 년 월 일

특 허 청

COMMISSIONER



| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0006 |
| 【제출일자】 | 2000.06.27 |
| 【국제특허분류】 | H01L |
| 【발명의 명칭】 | 채널 이온 주입용 마스크 패턴을 이용한 반도체 메모리 소자의 제조 방법 |
| 【발명의 영문명칭】 | Method of manufacturing semiconductor memory device using mask pattern for channel ion implantation |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 1999-009556-9 |
| 【대리인】 | |
| 【성명】 | 정상빈 |
| 【대리인코드】 | 9-1998-000541-1 |
| 【포괄위임등록번호】 | 1999-009617-5 |
| 【대리인】 | |
| 【성명】 | 이래호 |
| 【대리인코드】 | 9-1999-000226-8 |
| 【포괄위임등록번호】 | 2000-002818-3 |
| 【발명자】 | |
| 【성명의 국문표기】 | 고관협 |
| 【성명의 영문표기】 | KOH, Gwan Hyeob |
| 【주민등록번호】 | 660120-1951011 |
| 【우편번호】 | 137-030 |
| 【주소】 | 서울특별시 서초구 잠원동 60-6 한신9차아파트 313동 403호 |
| 【국적】 | KR |

【발명자】**【성명의 국문표기】**

김기남

【성명의 영문표기】

KIM, Ki Nam

【주민등록번호】

580414-1273118

【우편번호】

431-070

【주소】경기도 안양시 동안구 평촌동 932-6 B / L 꿈마을 라이프
아파트 108 동 502호**【국적】**

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인) 대리인
 이래호 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

2 면 2,000 원-

【우선권주장료】

0 건 0 원

【심사청구료】

10 항 429,000 원

【합계】

460,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

게이트 전극에 의하여 자기정렬되는 셀프얼라인 콘택 플러그를 갖춘 반도체 메모리 소자의 제조 공정에서 트랜지스터의 문턱 전압을 조절하기 위한 채널 이온 주입 공정을 포함하는 반도체 메모리 소자의 제조 방법에 관하여 개시한다. 본 발명에 따른 반도체 메모리 소자의 제조 방법에서는 게이트 전극을 형성하기 위한 제1 부분과, 비트 라인 콘택을 형성하기 위한 제2 부분과, 커패시터의 스토리지 노드 콘택을 형성하기 위한 제3 부분을 포함하는 활성 영역이 정의된 반도체 기판에서 상기 제1 부분 및 제2 부분 만을 노출시키도록 상기 반도체 기판 상면을 덮는 마스크 패턴을 이용한다. 본 발명에 따른 반도체 메모리 소자의 제조 방법에서는 게이트 전극을 형성하기 위한 제1 부분과, 비트 라인 콘택을 형성하기 위한 제2 부분과, 커패시터의 스토리지 노드 콘택을 형성하기 위한 제3 부분을 포함하는 활성 영역을 반도체 기판상에 정의한다. 상기 마스크 패턴을 이온 주입 마스크로 하여 상기 반도체 기판의 활성 영역에 제1 도전형의 도판트를 이온 주입하여 상기 제1 부분 및 제2 부분에만 트랜지스터의 문턱 전압 조절을 위한 채널 이온 주입 영역을 형성한다.

【대표도】

도 8

【명세서】

【발명의 명칭】

채널 이온 주입용 마스크 패턴을 이용한 반도체 메모리 소자의 제조 방법 {Method of manufacturing semiconductor memory device using mask pattern for channel ion implantation}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 반도체 소자의 제조 방법의 일예를 설명하기 위한 단면도이다.

도 2a 및 도 2b는 종래 기술에 따른 반도체 소자의 제조 방법의 다른 예를 설명하기 위한 단면도들이다.

도 3a 및 도 3b 내지 도 8은 본 발명의 바람직한 실시예에 따른 반도체 메모리 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다.

도 9는 본 발명에 따른 방법에 따라 제조된 반도체 메모리 소자의 전기적 특성을 종래 기술에 따라 제조된 반도체 메모리 소자의 경우와 비교한 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

100: 반도체 기판, 102: 소자 분리 영역, 104: 활성 영역, 104a: 제1 부분, 104b: 제2 부분, 104c: 제3 부분, 106: 채널 스톱층, 110: 마스크 패턴, 112: 개구부, 120: p형 도판트, 122: 채널 이온 주입 영역, 130: 게이트 전극, 132: 실리콘 질화막, 134: 질화막 스페이서, 140: n형 도판트, 142a:, 142b: 소스/드레인 영역, 150a, 150b: 콘택 플러그.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 반도체 메모리 소자의 제조 방법에 관한 것으로, 특히 게이트 전극에 의하여 자기정렬되는 셀프얼라인 콘택 플러그(self-aligned contact plug)를 갖춘 반도체 메모리 소자의 제조 공정에서 트랜지스터의 문턱 전압을 조절하기 위한 채널 이온 주입 공정을 포함하는 반도체 메모리 소자의 제조 방법에 관한 것이다.

<8> DRAM(Dynamic Random Access Memory)에서는 메모리 셀의 커패시터에 전하를 저장함으로써 데이터를 기록한다. DRAM에 있어서 기록된 데이터를 유지하기 위하여는 주기적인 데이터 리프레쉬가 필요하다. DRAM에서의 데이터 유지 시간(data retention time)은 DRAM의 성능을 결정하는 중요한 특성중의 하나이다. DRAM에 있어서 데이터 유지 시간에 큰 영향을 미치는 요인중 하나가 접합 누설 전류이며, 접합 누설 전류의 발생은 pn 접합 바운더리에서의 전계 또는 공핍 영역에서의 기관 결합 등에 의하여 영향을 받는다. DRAM의 성능을 향상시키기 위하여는 접합 누설 전류를 감소시키고 데이터 유지 시간을 증가시킬 필요가 있다.

<9> 한편, DRAM의 집적도가 증가하면서 트랜지스터 사이즈는 지속적으로 감소하고 있다. 그러나, 트랜지스터 사이즈의 감소 추세에 비하여 동작 전압의 감소는 매우 느린 편이다. 또한, 트랜지스터 사이즈 감소에 따라 채널 길이가 감소하면서 트랜지스터의 문턱 전압(threshold voltage)(V_T)이 급격히 감소하는 등 숏채널 효과(short channel effect)가 발생된다. 이에 따라, 근래에는 V_T 의 감소를 보상하고 적정 수준의 V_T 로 되도록

록 조절하기 위하여, 채널 이온 주입시 도핑 농도를 점차 증가시키고 있다.

<10> 도 1은 종래 기술에 따른 V_T 조절을 위한 채널 이온 주입 방법의 일예를 설명하기 위한 단면도이다.

<11> 도 1을 참조하면, 소자 분리 영역(12)이 형성된 p형 반도체 기판(10)상에 이온 주입 마스크를 사용하지 않은 상태에서 p형 도판트를 전면 이온 주입하여 활성 영역 전체에 걸쳐서 V_T 조절을 위한 도핑 영역(20)을 형성한 후, 게이트 전극(24) 및 n형 소스/드레인 영역(26)을 형성한다.

<12> 도 1의 경우와 같이 채널 이온 주입을 전면적으로 행하는 경우에는 상기 소스/드레인 영역(26)도 채널 이온 주입에 의하여 형성된 도핑 영역(20)의 영향을 받는다. 이와 같은 경우에 쏘 채널 효과를 방지하기 위하여 채널 이온 주입시의 도핑 농도를 증가시키게 되면, 상기 소자 분리 영역(12)과 소스/드레인 영역(26) 사이 또는 공핍 영역 등에서 기판 결함 부위를 발생시킨다. 또한, 상기 채널 이온 주입시에는 상기 소스/드레인 영역에 이온주입되는 도판트와 반대의 극성을 갖는 도판트를 주입하므로 pn 접합 바운더리가 형성되는 결과의 전계 증가를 초래하여 접합 누설 전류를 증가시키고, 그 결과 데이터 유지 시간을 감소시키는 결과를 초래하게 된다. 또한, 고농도의 채널 이온 주입은 접합 커패시턴스를 증가시킨다. 그 결과, 메모리 셀의 커패시터에 전하로서 축적된 정보를 독출할 때 이들 정보가 잡음에 묻혀버려 센싱 마진(sensing margin)이 줄어들고, 비트 라인의 부유용량(浮遊容量)이 증가되는 결과를 초래한다.

<13> 도 2a 및 도 2b는 종래 기술에 따른 V_T 조절을 위한 채널 이온 주입 방법의 다른 예로서 리버스 게이트 패턴(reverse gate pattern)(44)을 이용하는 방법을 설명하기 위한 단면도들이다. 이 방법에서는 포토레지스트막으로 형성되는 상기 리버스 게이트

패턴(44)을 이온 주입 마스크로 하여 반도체 기판(40)중 게이트 전극(54)이 형성될 영역에만 p형 도판트(46)를 이온 주입하여 V_T 조절을 위한 도핑 영역(50)을 형성한 후, 상기 도핑 영역(50) 위에 게이트 전극(54)을 형성한다.

<14> 도 2a 및 도 2b를 참조하여 설명한 종래의 방법에서는 소자가 고집적화될수록 채널 이온 주입 마스크로 사용되는 상기 리버스 게이트 패턴(44)을 형성하기가 어려워진다.

또한, 상기 각 게이트 전극(54) 사이의 피치가 작은 소자를 형성할 때 상기 방법을 적용하면, 채널 이온 주입 단계 또는 그 후속으로 행해지는 게이트 전극 패터닝 단계에서 미스얼라인(misalign) 또는 CD 변화(critical dimension variation)가 발생하는 경우에 그

로 인하여 많은 문제가 야기된다. 예를 들면, 상기 리버스 게이트 패턴(44)이 미스얼라

인된 경우에는 채널 이온 주입에 의하여 형성되는 도핑 영역(50)이 소자 분리 영역(42)

의 에지 부분에 형성될 수도 있다. 트렌치 소자 분리 방법에 의하여 형성되는 상기 소자

분리 영역(42)의 에지(edge)는 접합 누설 전류에 의한 영향을 쉽게 받는다. 따라서, 이

와 같은 경우에는 소자 동작에 악영향을 미치게 된다.

<15> 또 다른 종래 기술로서, 도 2a에서와 같은 방법으로 리버스 게이트 패턴을 이용하

여 채널 이온 주입을 행한 후, 게이트 전극을 상기 리버스 게이트 패턴에 대하여 자기정

렬되도록 형성하는 방법도 있다. 그러나, 이 방법에서도 상기 리버스 게이트 패턴의 미

스얼라인에 따른 문제는 여전히 존재한다. 또한, 다중층으로 이루어지는 게이트 전극 구

조를 실현하기 어렵다. 또한, 고집적 반도체 소자 형성을 위한 셀프얼라인 콘택 형성 공

정 즉 게이트 전극에 대하여 자기정렬되는 랜딩 패드(landing pad) 형성 공정을 행하는

것이 불가능하다는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명은 상기한 종래 기술에서의 문제점들을 해결하고자 하는 것으로, 게이트 전극에 대하여 자기정렬되는 셀프 얼라인 콘택 플러그를 갖춘 반도체 메모리 소자 제조를 위한 기존의 공정을 그대로 유지하면서, 스토리지 노드 콘택을 연결시키기 위한 소스/드레인 영역에서는 채널 이온 주입의 영향을 받지 않도록 함으로써 데이터 유지 시간을 증가시킬 수 있는 반도체 메모리 소자의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<17> 상기 목적을 달성하기 위하여, 본 발명에 따른 반도체 메모리 소자의 제조 방법에서는 게이트 전극을 형성하기 위한 제1 부분과, 비트 라인 콘택을 형성하기 위한 제2 부분과, 커패시터의 스토리지 노드 콘택을 형성하기 위한 제3 부분을 포함하는 활성 영역을 반도체 기판상에 정의한다. 상기 활성 영역중 상기 제1 부분 및 제2 부분 만을 노출시키는 마스크 패턴을 이온 주입 마스크로 하여 상기 반도체 기판의 활성 영역에 제1 도전형의 도판트를 이온 주입하여 상기 제1 부분 및 제2 부분에만 트랜지스터의 문턱 전압 조절을 위한 채널 이온 주입 영역을 형성한다.

<18> 상기 활성 영역에서 상기 제1 부분은 2개의 게이트 전극이 상기 제2 부분을 사이에 두고 서로 인접하여 형성될 수 있도록 서로 인접된 2개의 영역으로 구성된다.

<19> 또한, 본 발명에 따른 반도체 메모리 소자의 제조 방법에서는 상기 활성 영역의 제1 부분 위에 게이트 전극을 형성한다. 상기 활성 영역의 제2 부분 및 제3 부분에 각각 상기 제1 도전형과 반대의 도전형인 제2 도전형의 도판트를 이온 주입하여 제1 및 제2 소스/드레인 영역을 형성한다. 상기 게이트 전극에 대하여 자기정렬되고 상기 제2 부분

에 형성된 상기 제1 소스/드레인 영역에 연결되는 제1 콘택 플러그와, 상기 게이트 전극에 대하여 자기정렬되고 상기 제3 부분에 형성된 상기 제2 소스/드레인 영역에 연결되는 제2 콘택 플러그를 형성한다.

<20> 상기 활성 영역에서 상기 제1 부분은 상기 제2 부분을 사이에 두고 서로 인접된 2개의 영역으로 구성되고, 상기 게이트 전극은 상기 2개의 영역상에 각각 1개씩 형성된다.

<21> 상기 제1 콘택 플러그는 상기 제2 부분에 형성된 제1 소스/드레인 영역을 바이트 라인과 연결시키기 위한 콘택 플러그이고, 상기 제2 콘택 플러그는 상기 제3 부분에 형성된 상기 제2 소스/드레인 영역을 커패시터의 스토리지 노드와 연결시키기 위한 콘택 플러그이다.

<22> 본 발명에 의하면, 커패시터의 스토리지 노드 콘택이 연결되는 소스/드레인 영역에 인접하는 채널 이온 주입의 영향을 받지 않게 된다. 따라서, 상기 소스/드레인 영역 근방에서 이온 주입에 따른 기판의 손상 또는 전계 증가에 따른 접합 누설 전류 증가를 방지할 수 있다.

<23> 다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

<24> 도 3a 및 도 3b, 도 4a 및 도 4b, 및 도 5 내지 도 8은 본 발명의 바람직한 실시예에 따른 반도체 메모리 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다.

<25> 구체적으로 설명하면, 도 3a는 트렌치 소자 분리 방법에 의하여 소자 분리 영역

(102)이 형성된 반도체 기판(100)의 상면도이고, 도 3b는 도 3a의 III-III'선 단면도이다. 도 3a 및 도 3b에서와 같이, 상기 소자 분리 영역(102)에 의하여 활성 영역(104)이 정의된 반도체 기판(100)에 통상의 이온 주입 방법에 의하여 웰(도시 생략)과 채널 스톱층(106)을 형성한다. 상기 활성 영역(104)은 각각 게이트 전극을 형성하기 위한 제1 부분(104a)과, 비트 라인 콘택을 형성하기 위한 제2 부분(104b)과, 커패시터의 스토리지 노드 콘택을 형성하기 위한 제3 부분(104c)을 포함한다.

<26> 상기 활성 영역(104)에서 상기 제1 부분(104a)은 2개의 게이트 전극이 상기 제2 부분(104b)을 사이에 두고 서로 인접하여 형성될 수 있도록 서로 인접된 2개의 영역으로 구성되어 있다. 또한, 상기 활성 영역(104)에서 상기 제3 부분(104c)은 상기 제1 부분(104a)을 구성하는 상기 2개의 영역을 중심으로 상기 제2 부분(104b)의 반대측에 각각 형성된 2개의 영역으로 구성되어 있다.

<27> 도 4a는 상기 소자 분리 영역(102)이 형성된 반도체 기판(100)상에 채널 이온 주입 마스크용 마스크(110)를 형성한 상태의 상면도이고, 도 4b는 도 4a의 IV-IV'선 단면도이다. 도 4a 및 도 4b에 도시한 바와 같이, 상기 활성 영역(104)중 상기 제1 부분(104a) 및 제2 부분(104b) 만을 노출시키는 개구부(112)가 형성된 이온 주입 마스크용 마스크 패턴(110)을 형성한다. 상기 마스크 패턴(110)은 필수적으로 상기 제3 부분(104c)을 완전히 덮도록 형성된다. 상기 마스크 패턴(110)은 예를 들면 포토레지스트막으로 이루어질 수 있다.

<28> 도 5를 참조하면, 상기 마스크 패턴(110)을 이온 주입 마스크로 하여 상기 반도체 기판(100)에 p형 도판트(120)를 주입하여, 상기 활성 영역(104)중 제1 부분(104a) 및 제2 부분(104b)에만 국부적으로 채널 이온 주입 영역(122)을 형성한다. 상기 p형 도판트

(120)는 붕소(boron) 이온 또는 이불화붕소(boron difluoride) 이온으로 이루어질 수 있다. 필요에 따라, 상기 채널 이온 주입 영역(122) 형성을 위하여, 상기한 바와 같은 국부 채널 이온 주입 공정을 2회 이상 행할 수 있다. 예를 들면, 상기 채널 이온 주입 영역(122)을 형성하기 위하여 붕소 이온을 이용한 제1 국부 채널 이온 주입 공정 및 이불화붕소 이온을 이용한 제2 국부 채널 이온 주입 공정을 차례로 행할 수 있다.

<29> 도 6을 참조하면, 상기 마스크 패턴(110)을 제거하고, 상기 활성 영역(104)의 제1 부분(104a)에 게이트 전극(130)을 형성한다. 상기 게이트 전극(130)의 상면에는 상기 게이트 전극(130) 형성을 위한 패터닝 공정시 식각 마스크로 사용된 실리콘 질화막 패턴(132)이 남아 있다.

<30> 도 7을 참조하면, 상기 게이트 전극(130) 및 실리콘 질화막 패턴(132)의 측벽에 질화막 스페이서(134)를 형성하고, n형 도판트(140)를 이온 주입하여 상기 활성 영역(104)의 제2 부분(104b) 및 제3 부분(104c)에 각각 소스/드레인 영역(142a, 142b)을 형성한다. 상세한 설명은 생략하였으나, 통상의 방법에 의하여 상기 소스/드레인 영역(142a, 142b)을 LDD(lightly doped drain) 구조로 형성할 수 있다.

<31> 후속 공정에서, 상기 제2 부분(104b)에 형성된 소스/드레인 영역(142a) 위에는 상기 소스/드레인 영역(142a)을 비트 라인과 연결시키기 위한 콘택 플러그가 형성되고, 상기 제3 부분(104c)에 형성된 소스/드레인 영역(142b) 위에는 상기 소스/드레인 영역(142b)을 커패시터의 스토리지 노드와 연결시키기 위한 콘택 플러그가 형성된다. 도 5에서 설명한 바와 같은 국부 채널 이온 주입 방법에 의하여, 상기 채널 이온 주입 영역(122)이 상기 활성 영역(104) 내에서 상기 2개의 게이트 전극(130)과, 이들 사이의 상기 제2 부분(104b)에 형성되는 비트 라인 콘택 아래에만 형성되고, 상기 제3 부분(104c)에

형성되는 커패시터의 스토리지 노드 콘택 아래에는 형성되지 않는다. 따라서, 상기 소스/드레인 영역(142b)에는 채널 이온 주입의 영향을 받지 않는다. 따라서, 커패시터의 스토리지 노드 콘택 아래의 상기 소스/드레인 영역(142b)에서 채널 이온 주입에 의한 손상이나 전계 증가에 따른 접합 누설 전류 증가 또는 접합 커패시턴스의 증가가 방지되어 데이터 유지 시간이 증가하게 된다. 여기서, 상기 비트 라인 콘택 아래의 소스/드레인 영역(142a)에서는 상기 채널 이온 주입 영역(122)의 영향을 받아 접합 누설 전류가 발생할 수도 있으나, 상기 소스/드레인 영역(142a)에서 발생하는 누설 전류는 데이터 유지 시간에 미치는 영향이 매우 작아 무시할 만 하다.

<32> 도 8을 참조하면, 상기 활성 영역(104)의 제2 부분(104b)에 형성되고 상기 소스/드레인 영역(142a)에 연결되는 콘택 플러그(150a)와, 상기 제3 부분(104c)에 형성되고 상기 소스/드레인 영역(142b)에 연결되는 콘택 플러그(150b)를 각각 상기 게이트 전극(130)에 대하여 자기정렬되도록 형성한다. 상기 콘택 플러그(150a)는 상기 소스/드레인 영역(142a)을 비트 라인과 연결시키기 위한 것이고, 상기 콘택 플러그(150b)는 상기 소스/드레인 영역(142b)을 커패시터의 스토리지 노드와 연결시키기 위한 것이다.

<33> 상기한 바와 같이, 본 발명에 따른 반도체 메모리 소자의 제조 방법에서는 게이트 전극에 대하여 자기정렬되는 복수의 콘택 플러그(150a, 150b)를 기존의 공정을 그대로 이용하여 형성하면서, 접합 커패시턴스 증가 및 그에 따른 접합 누설 전류 증가에 따른 영향을 크게 받는 영역인 스토리지 노드 콘택이 접하는 소스/드레인 영역(142b)에서는 셀 트랜지스터의 V_T 를 적정 수준으로 맞추기 위한 채널 이온 주입의 영향을 받지 않도록 함으로써 접합 누설 전류를 감소시킬 수 있고, 접합 영역에서의 시트 저항(sheet resistance)을 감소시켜서 셀 트랜지스터의 포화 전류(saturation current)를 증가시키

고, 접합 커패시턴스를 감소시킴으로써 비트 라인의 부유 용량을 감소시킬 수 있다.

<34> 도 9는 본 발명에 따른 방법에 따라 제조된 반도체 메모리 소자의 전기적 특성을 평가한 그래프이다. 도 9의 평가 결과를 얻는 데 있어서, 본 발명에 따른 방법에 따라 도 8에 도시한 바와 같은 반도체 메모리 소자를 제조하기 위하여, 채널 이온 주입 공정으로서 먼저 붕소 이온을 사용하여, 활성 영역중에서 게이트 전극이 형성될 부분 및 비트 라인 콘택이 연결되는 소스/드레인 영역이 형성될 부분에만 $1.0E13/cm^2$ 의 도즈 및 30KeV의 이온 주입 에너지로 제1 국부 이온 주입하고, 다시 이불화붕소 이온을 사용하여 활성 영역중 게이트 전극이 형성될 부분 및 비트 라인 콘택이 연결되는 소스/드레인 영역이 형성될 부분에만 $1.2E13/cm^2$ 및 30KeV의 이온 주입 에너지로 제2 국부 이온 주입한 경우(-○-)와, 상기 조건과 동일한 조건으로 2회 채널 이온 주입 공정을 행하되, 도 1을 참조하여 설명한 종래 기술에서와 같이 활성 영역에 전면적으로 채널 이온 주입을 행한 경우(-●-) 각각에 대하여 리프레쉬 시간에 따라 페일셀(fail cell)의 수를 누적하여 나타내었다.

<35> 또한, 채널 이온 주입 공정으로서 먼저 붕소 이온을 사용하여 활성 영역중 게이트 전극이 형성될 부분 및 비트 라인 콘택이 연결되는 소스/드레인 영역이 형성될 부분에만 $1.0E13/cm^2$ 의 도즈 및 30KeV의 이온 주입 에너지로 제1 국부 이온 주입하고, 다시 이불화붕소 이온을 사용하여 활성 영역중 게이트 전극이 형성될 부분 및 비트 라인 콘택이 연결되는 소스/드레인 영역이 형성될 부분에만 $1.5E13/cm^2$ 및 30KeV의 이온 주입 에너지로 제2 국부 이온 주입한 경우(-▽-)와, 상기 조건과 동일한 조건으로 2회 채널 이온 주입 공정을 행하되, 도 1을 참조하여 설명한 종래 기술에서와 같이 활성 영역에 전면적으로 채널 이온 주입을 행한 경우(-▼-) 각각에 대하여 리프레쉬 시간에 따라 페일셀(fail

cell)의 수를 누적하여 나타내었다.

<36> 도 9의 결과로부터 알 수 있는 바와 같이, 본 발명에 따라 국부 채널 이온 주입을 행한 경우에는 종래 기술에 따라 전반적으로 채널 이온 주입을 행한 경우에 비하여 페일 셀의 수가 약 20 ~ 30% 감소되었다.

【발명의 효과】

<37> 본 발명에 따른 반도체 메모리 소자의 제조 방법에서는, 고집적 반도체 메모리 소자 형성을 위한 셀프얼라인 콘택 형성 공정 즉 게이트 전극에 대하여 자기정렬되는 셀프얼라인 콘택 플러그를 갖춘 반도체 메모리 소자 제조를 위한 기존의 공정을 그대로 유지하면서, 반도체 기판의 활성 영역중 게이트 전극이 형성되는 부분과 비트 라인 콘택이 연결되는 소스/드레인 영역이 형성되는 부분만을 노출시키는 개구부가 형성된 마스크 패턴을 이온 주입 마스크로 사용하고, 셀 트랜지스터의 V_T 를 적정 수준으로 맞추기 위한 채널 이온 주입을 국부적으로 행한다. 따라서, 접합 커패시턴스 증가 및 그에 따른 접합 누설 전류 증가에 따른 영향을 크게 받는 영역인 커패시터의 스토리지 노드 콘택이 연결되는 소스/드레인 영역에서는 채널 이온 주입의 영향을 받지 않게 된다. 그 결과, 상기 스토리지 노드 콘택이 연결되는 소스/드레인 영역 근방에서 이온 주입에 따른 기판의 손상 또는 전계 증가에 따른 접합 누설 전류 증가를 방지할 수 있고, 접합 영역에서의 시트저항(sheet resistance)을 감소시켜서 셀 트랜지스터의 포화 전류(saturation current)를 증가시키며, 접합 커패시턴스를 감소시킴으로써 비트 라인의 부유 용량을 감소시킬 수 있다.

<38> 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기

실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

게이트 전극을 형성하기 위한 제1 부분과, 비트 라인 콘택을 형성하기 위한 제2 부분과, 커패시터의 스토리지 노드 콘택을 형성하기 위한 제3 부분을 포함하는 활성 영역을 반도체 기판상에 정의하는 단계와,

상기 활성 영역중 상기 제1 부분 및 제2 부분 만을 노출시키는 마스크 패턴을 이온 주입 마스크로 하여 상기 반도체 기판의 활성 영역에 제1 도전형의 도판트를 이온 주입하여 상기 제1 부분 및 제2 부분에만 트랜지스터의 문턱 전압 조절을 위한 채널 이온 주입 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 2】

제1항에 있어서, 상기 활성 영역에서 상기 제1 부분은 2개의 게이트 전극이 상기 제2 부분을 사이에 두고 서로 인접하여 형성될 수 있도록 서로 인접된 2개의 영역으로 구성되어 있는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 3】

제1항에 있어서, 상기 마스크 패턴은 포토레지스트막으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 4】

제1항에 있어서, 상기 제1 도전형은 p형인 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 5】

제1항에 있어서,

상기 활성 영역의 제1 부분 위에 게이트 전극을 형성하는 단계와,

상기 활성 영역의 제2 부분 및 제3 부분에 각각 상기 제1 도전형과 반대의 도전형인 제2 도전형의 도판트를 이온 주입하여 제1 및 제2 소스/드레인 영역을 형성하는 단계와,

상기 게이트 전극에 대하여 자기정렬되고 상기 제2 부분에 형성된 상기 제1 소스/드레인 영역에 연결되는 제1 콘택 플러그와, 상기 게이트 전극에 대하여 자기정렬되고 상기 제3 부분에 형성된 상기 제2 소스/드레인 영역에 연결되는 제2 콘택 플러그를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 6】

제5항에 있어서, 상기 활성 영역에서 상기 제1 부분은 상기 제2 부분을 사이에 두고 서로 인접된 2개의 영역으로 구성되고, 상기 게이트 전극은 상기 2개의 영역상에 각각 1개씩 형성되는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 7】

제6항에 있어서,

상기 제1 콘택 플러그는 상기 제2 부분에 형성된 제1 소스/드레인 영역을 비트 라인과 연결시키기 위한 콘택 플러그인 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 8】

제6항에 있어서, 상기 활성 영역에서 상기 제3 부분은 상기 제1 부분을 구성하는
상기 2개의 영역을 중심으로 상기 제2 부분의 반대측에 각각 형성된 2개의 영역으로 구
성되는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

【청구항 9】

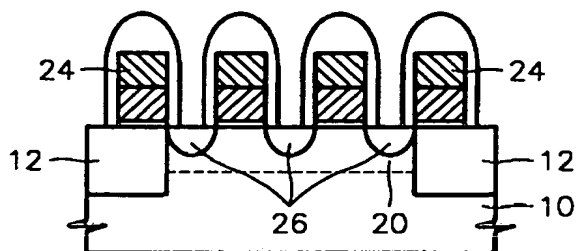
제8항에 있어서, 상기 제2 콘택 플러그는 상기 제3 부분에 형성된 상기 제2 소스/
드레인 영역을 커패시터의 스토리지 노드와 연결시키기 위한 콘택 플러그인 것을 특징으
로 하는 반도체 메모리 소자의 제조 방법.

【청구항 10】

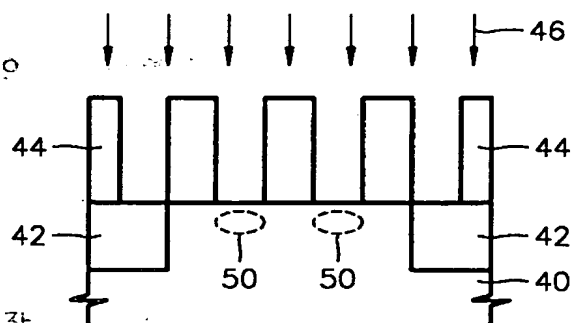
제5항에 있어서, 상기 제2 도전형은 n형인 것을 특징으로 하는 반도체 메모리 소자
의 제조 방법.

【도면】

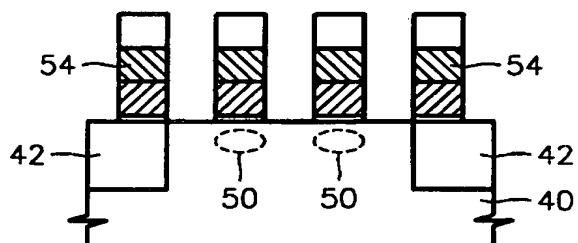
【도 1】



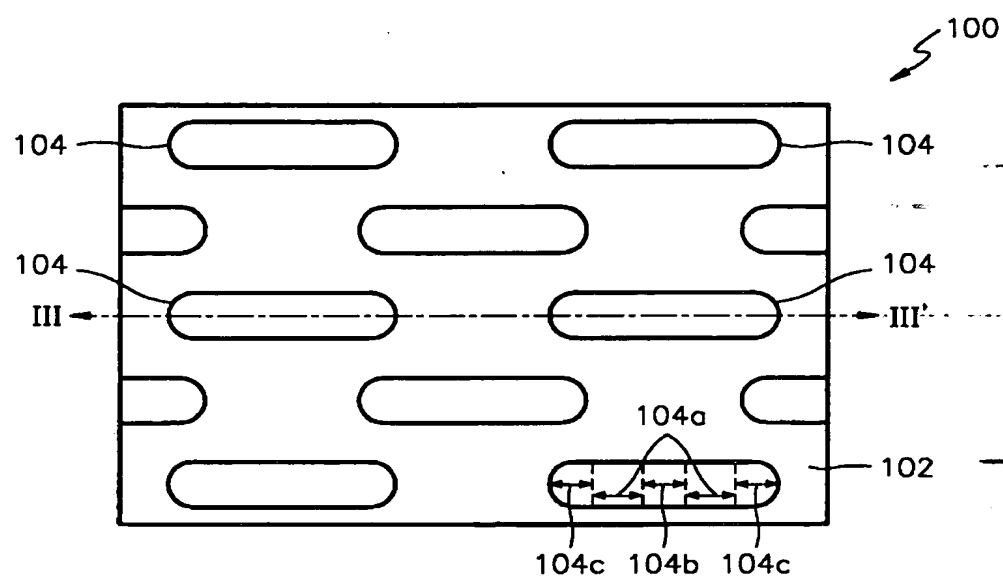
【도 2a】



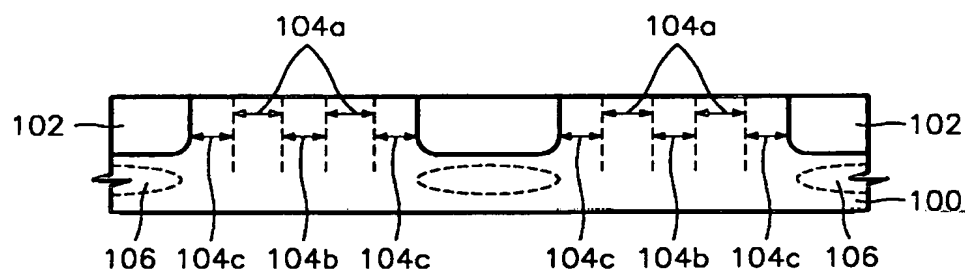
【도 2b】



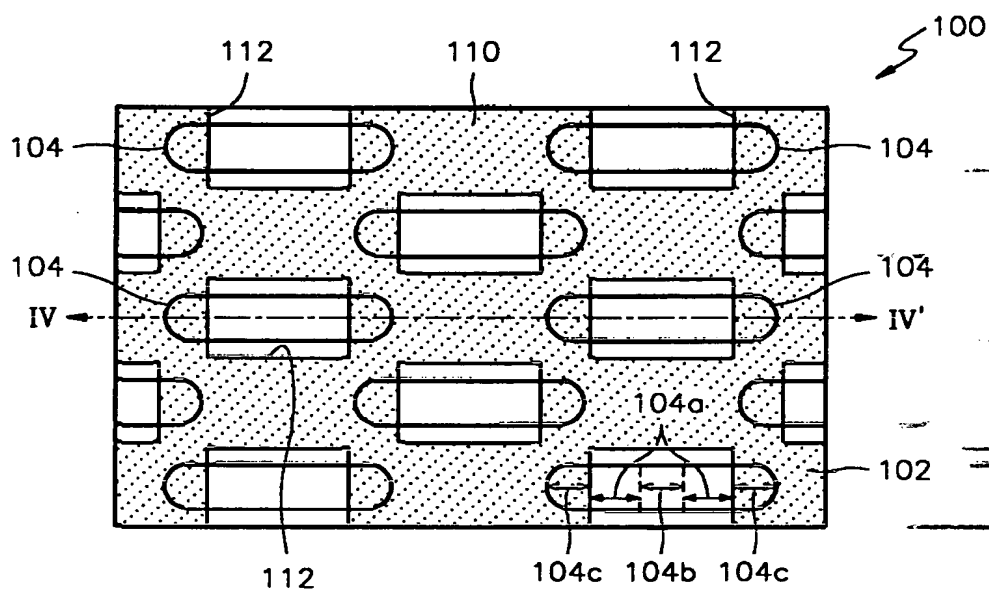
【도 3a】



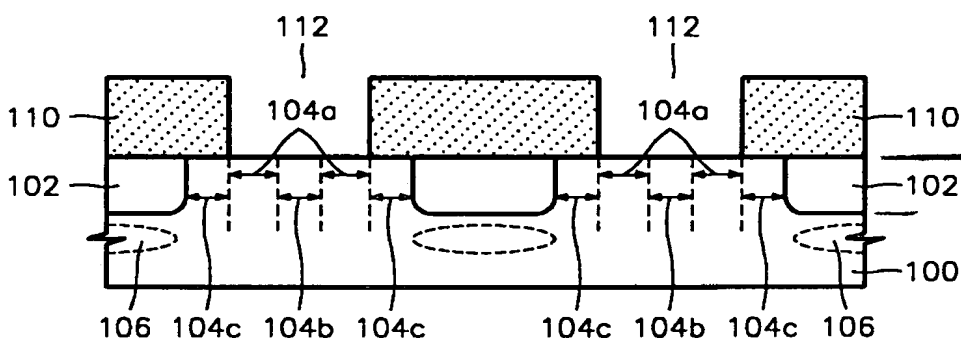
【도 3b】



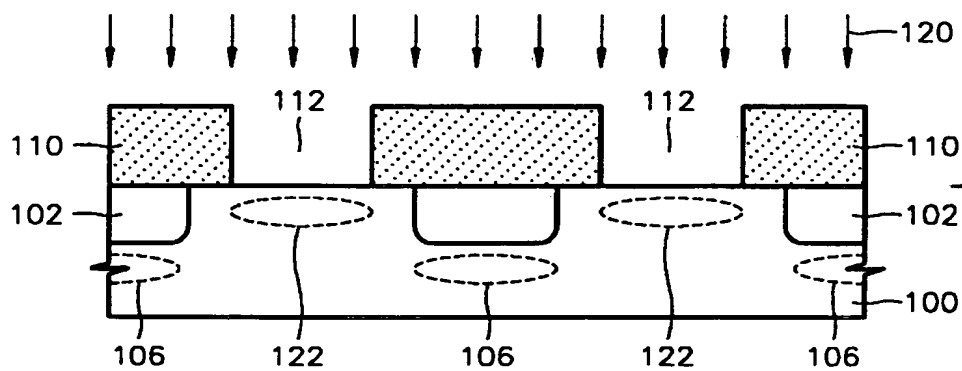
【도 4a】



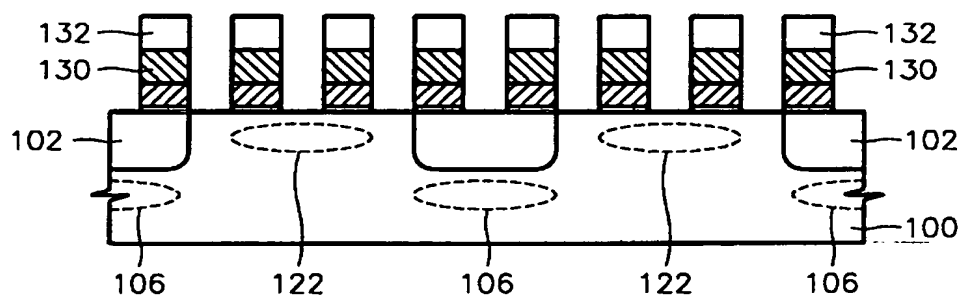
【도 4b】



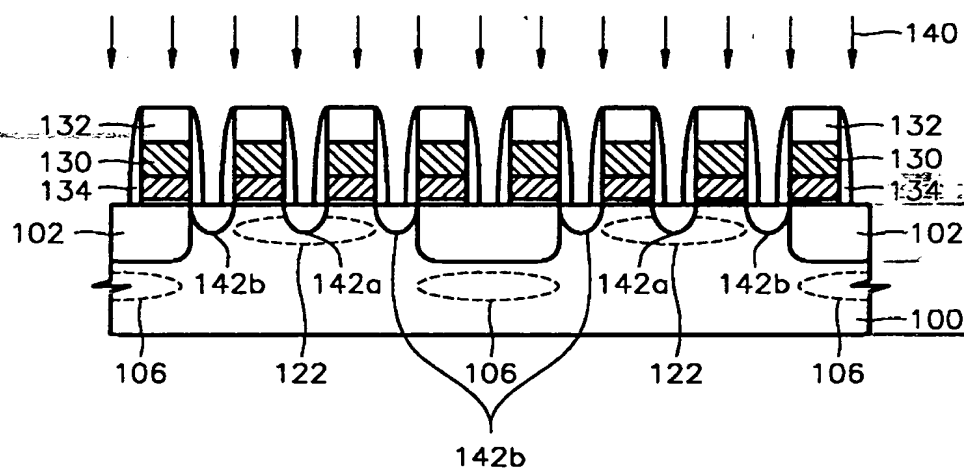
【도 5】



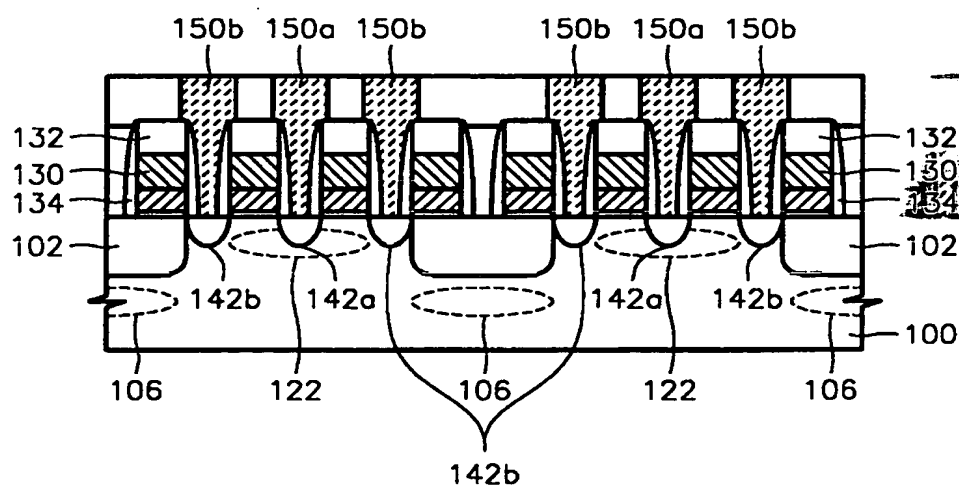
【도 6】



【도 7】



【도 8】



【도 9】

